

SEMICONDUCTOR DEVICE

Patent Number: JP6349860
Publication date: 1994-12-22
Inventor(s): TAKAZAWA HIROYUKI; others: 01
Applicant(s):: HITACHI LTD
Requested Patent: ☐ JP6349860
Application JP19930137240 19930608
Priority Number(s):
IPC Classification: H01L21/338 ; H01L29/812
EC Classification:
Equivalents:

Abstract

PURPOSE:To increase rise-up of gm in a transmission characteristic of a FET for a voltage $V_{gs}-V_{th}$ and decrease the voltage $V_{gs}-V_{th}$ of which a maximum value is gm by a method wherein concentration of a delta dope layer is increased towards a semiconductor surface in the opposite side to a semi-insulating substrate, etc.

CONSTITUTION:A non-dope semiconductor layer 4 and a semiconductor layer (carrier supply layer) 5 existing in the semiconductor layer 4 in which impurity atoms supplying a carrier are distributed with a thickness of one atom or several atoms are provided on a semi-insulating substrate 1, and the semiconductor layer 4 and the carrier supply layer 5 are used as a channel layer. Further, a thickness between the carrier supply layers 5 within a channel layer is decreased in a direction from the substrate 1 side to the semiconductor surface, or concentration of impurity atoms of the carrier supply layer 5 within the channel layer is increased in a direction from the substrate 1 side to the semiconductor surface. A Schottky electrode 8 and a source/drain electrode 9 are formed to make a FET.

Data supplied from the esp@cenet database - I2



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06349860 A**(43) Date of publication of application: **22 . 12 . 94**

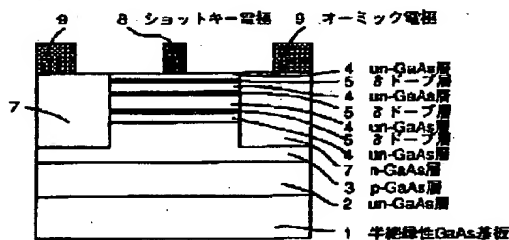
(51) Int. Cl.

H01L 21/338
H01L 29/812
(21) Application number: **05137240**(22) Date of filing: **08 . 06 . 93**(71) Applicant: **HITACHI LTD**
(72) Inventor: **TAKAZAWA HIROYUKI**
MIZUTA HIROSHI
(54) SEMICONDUCTOR DEVICE**(57) Abstract:**

PURPOSE: To increase rise-up of gm in a transmission characteristic of a FET for a voltage $V_{gs}-V_{th}$ and decrease the voltage $V_{gs}-V_{th}$ of which a maximum value is gm by a method wherein concentration of a δ dope layer is increased towards a semiconductor surface in the opposite side to a semi-insulating substrate, etc.

CONSTITUTION: A non-dope semiconductor layer 4 and a semiconductor layer (carrier supply layer) 5 existing in the semiconductor layer 4 in which impurity atoms supplying a carrier are distributed with a thickness of one atom or several atoms are provided on a semi-insulating substrate 1, and the semiconductor layer 4 and the carrier supply layer 5 are used as a channel layer. Further, a thickness between the carrier supply layers 5 within a channel layer is decreased in a direction from the substrate 1 side to the semiconductor surface, or concentration of impurity atoms of the carrier supply layer 5 within the channel layer is increased in a direction from the substrate 1 side to the semiconductor surface. A Schottky electrode 8 and a source/drain electrode 9 are formed to make a FET.

COPYRIGHT: (C)1994,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-349860

(43) 公開日 平成6年(1994)12月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338				
29/812		7376-4M	H 0 1 L 29/ 80	H

審査請求 未請求 請求項の数19 O L (全 8 頁)

(21) 出願番号 特願平5-137240

(22) 出願日 平成5年(1993)6月8日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 ▲高▼澤 浩幸

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 水田 博

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

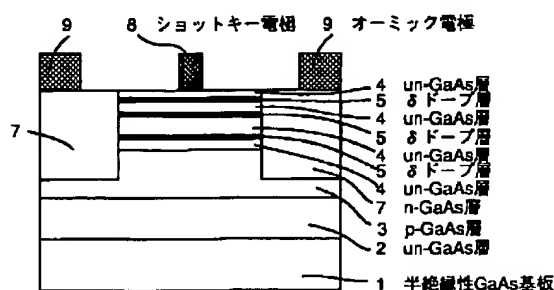
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 FETの伝達特性におけるトランスコンダクタンス g_m の電圧 $V_{gs}-V_{th}$ に対する立上り方の急峻性を大きくし、且つ該FETの g_m が最大値となる電圧 $V_{gs}-V_{th}$ の小さいFETを用いた半導体装置を提供する。

【構成】 半絶縁性基板上に形成されたチャネル層となりノンドープである半導体層中に δ ドープ層を形成する際に、そのチャネル層となりノンドープである半導体層中の厚さ方向において、 δ ドープ層の濃度を半絶縁性基板とは反対側の半導体表面に向かって増大させるか、もしくは δ ドープ層間隔を半絶縁性基板とは反対側の半導体表面に向かって小さくすることにより、FETにおけるチャネル層を流れるキャリアの濃度分布の重心を、よりゲート電極側に存在するように形成する。

(図1)



【特許請求の範囲】

【請求項1】半絶縁性基板上に、ノンドープの半導体層と、該ノンドープの半導体層中に存在して、キャリアを供給する不純物原子が1原子ないし数原子分の厚さで分布した半導体層（キャリア供給層）を一層もしくは複数層有し、上記ノンドープの半導体層および上記キャリアを供給する原子が1原子ないし数原子分の厚さで分布した半導体層とはチャンネル層となり、該チャンネル層内の上記キャリア供給層間の厚さが上記半絶縁性基板側から半導体表面方向に向かって小さくなるか、もしくは上記チャンネル層内の上記キャリア供給層の不純物原子の濃度が上記半絶縁性基板側から半導体表面方向に向かって増大しており、上記チャンネル層上半導体表面に設けられて上記チャンネル層内を流れる電流を制御するショットキー電極、および上記チャンネル層にオーム性接触するソース電極とドレイン電極が形成され、電界効果トランジスタを形成していることを特徴とする半導体装置。

【請求項2】上記チャンネル層内の上記キャリア供給層数が1層であり、上記キャリア供給層上下に存在するノンドープの半導体層の厚さが、上記半絶縁性基板に遠い側で小さくなっていることを特徴とする請求項1記載の半導体装置。

【請求項3】上記チャンネル層内の上記キャリア供給層のうち最も濃度の大きい半導体層が、上記半絶縁性基板から上記ノンドープの半導体層に向かう方向における、上記チャンネル層の厚さの中央の位置よりも少なくとも上記半絶縁性基板とは反対側に存在していることを特徴とする請求項1記載の半導体装置。

【請求項4】上記チャンネル層内の上記キャリア供給層のうち、上記半絶縁性基板に最も近い上記キャリア供給層と2番目に近い上記キャリア供給層とに挟まれた上記ノンドープの半導体層の厚さは、上記半絶縁性基板に最も遠い上記キャリア供給層と2番目に遠い上記キャリア供給層とに挟まれた上記ノンドープの半導体層の厚さより大きいことを特徴とする請求項1記載の半導体装置。

【請求項5】上記チャンネル層と上記ゲート電極との間に、上記チャンネル層と比較して、禁制帯幅の異なる半導体層（ヘテロバリア層）が形成されていることを特徴とする請求項1ないし4のいずれかに記載の半導体装置。

【請求項6】上記ヘテロバリア層の電子親和力は、上記チャンネル層の電子親和力よりも小さいことを特徴とする請求項5記載の半導体装置。

【請求項7】上記チャンネル層と上記半絶縁性基板との間に、上記キャリア供給層から供給されるキャリアとは反対導電型のキャリアを供給する原子を含む半導体層（反対導電型バッファ層）が形成されていることを特徴とする請求項1ないし4のいずれかに記載の半導体装置。

【請求項8】上記チャンネル層と上記半絶縁性基板との間に、上記チャンネル層内のいずれかの半導体層と比較して、禁制帯幅の異なる半導体層（ヘテロバッファ層）が

形成されていることを特徴とする請求項1ないし4のいずれかに記載の半導体装置。

【請求項9】上記ヘテロバッファ層の電子親和力は、上記チャンネル層内のいずれかの半導体層の電子親和力よりも小さいことを特徴とする請求項8記載の半導体装置。

【請求項10】上記半絶縁性基板はGaAsであり、上記チャンネル層はGaAsもしくは $\text{In}_x\text{Ga}_{1-x}\text{As}$ であり、上記ヘテロバリア層は $\text{Al}_y\text{Ga}_{1-y}\text{As}$ もしくはGaAsであり、上記反対導電型バッファ層はGaAsもしくは $\text{In}_x\text{Ga}_{1-x}\text{As}$ もしくは $\text{Al}_y\text{Ga}_{1-y}\text{As}$ であり、上記ヘテロバッファ層はGaAsもしくは $\text{Al}_y\text{Ga}_{1-y}\text{As}$ であることを特徴とする請求項1ないし9のいずれかに記載の半導体装置。

【請求項11】上記半絶縁性基板はInPであり、上記チャンネル層は $\text{In}_x\text{Ga}_{1-x}\text{As}$ であり、上記ヘテロバリア層は $\text{In}_z\text{Al}_{1-z}\text{As}$ であり、上記反対導電型バッファ層は $\text{In}_x\text{Ga}_{1-x}\text{As}$ であり、上記ヘテロバッファ層は $\text{In}_z\text{Al}_{1-z}\text{As}$ であることを特徴とする請求項1ないし9のいずれかに記載の半導体装置。

【請求項12】上記チャンネル層の厚さが10nm以下であることを特徴とする請求項1ないし11のいずれかに記載の半導体装置。

【請求項13】上記キャリア供給層の厚さが5nm以下であり、かつ上記キャリア供給層間隔の上限が10nm以下であることを特徴とする請求項1ないし12のいずれかに記載の半導体装置。

【請求項14】上記キャリアは電子もしくは正孔であることを特徴とする請求項1ないし13のいずれかに記載の半導体装置。

【請求項15】請求項1ないし14のいずれかに記載の電界効果トランジスタが一個もしくは複数個接続されて回路を形成していることを特徴とする半導体装置。

【請求項16】請求項1ないし14のいずれかに記載の電界効果トランジスタが複数個接続されて回路を形成している半導体装置において、少なくとも一個の電界効果トランジスタが他の電界効果トランジスタとは反対導電型のキャリアがチャンネル層を走行する電界効果トランジスタであることを特徴とする半導体装置。

【請求項17】上記電界効果トランジスタは電気的に接続されていることを特徴とする請求項15又は16記載の半導体装置。

【請求項18】上記半絶縁性基板のチャンネル層とは反対側の表面上に電極が設けられていることを特徴とする請求項1ないし17のいずれかに記載の半導体装置。

【請求項19】上記半絶縁性基板のチャンネル層とは反対側の表面上に設けられた電極が接地されていることを特徴とする請求項1ないし18のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電界効果トランジスタ（以下、FETと称す）を有する半導体装置に関する。

【0002】

【従来の技術】現在、高速半導体素子として、化合物半導体FETを用いた集積回路が開発されており、その集積回路の性能を向上させるために、化合物半導体FETの高性能化の研究開発が盛んに行なわれている。FETの高性能化における研究開発の一つとして、トランスコンダクタンス（gm）の向上に関する研究を挙げることができる。gm向上の技術として、単原子ないし数原子層程度の厚さで設けられた高濃度不純物半導体層（以下、 δ ドープ層と称す）を形成したことを特徴とするFETがあり、その例が雑誌「ジャパニーズ・ジャーナル・オブ・アプライド・フィジクス（Japanese Journal of Applied Physics）」24巻8号（1985）L608頁に記載されている。また、均一な δ ドープ層を複数層、等間隔に設けた不純物超格子型チャネル構造が、特開平1-308082号公報に、 δ ドープ層を1層設けたチャネル構造が特開平1-186683号公報に記載されている。

【0003】

【発明が解決しようとする課題】上記従来技術を用いたFETについて我々が検討したところ、同一濃度の δ ドープ層を同一層数含み、且つチャネル層となるノンドープの半導体層の厚さの総計が同じ場合であっても、結晶構造によっては、FETの伝達特性におけるトランスコンダクタンスgm（ $\partial I_{ds} / \partial V_{gs}$ ：ドレイン電流 I_{ds} をゲート電圧 V_{gs} で微分したもの）のゲート電圧 V_{gs} に対する立上り方の急峻性（FETのしきい値電圧 V_{th} を基準とし、該FETのゲート電圧 V_{gs} を該FETのしきい値電圧 V_{th} から正側に変化させる場*

$$D = \int x \cdot n(x) dx / \int n(x) dx \quad \dots \dots (1)$$

（ただし、xは半絶縁性基板とは反対側の半導体表面からの距離、n(x)は距離xにおけるキャリア濃度である）、本発明の構造の半導体装置を作製すれば距離Dを小さくすることができ、チャネルの厚さを薄くすると同様の作用をするためである。

【0007】本発明のもつ作用を図5を用いて説明する。図5は、図8に示した構造のFET（チャネル層中に δ ドープ層が一層存在する場合）の電圧 $V_{gs} - V_{th}$ に対するgmの関係図である。gmは、各構造におけるgmの最大値（gm, max）で規格化した値で示してある。図8に示した構造のFETの作製方法については後で述べる。図5における特性線101、102、103の違いはチャネル層となる $un-In_xGa_{1-x}As$ 層24（x=0.53）の厚さである。 $un-In_xGa_{1-x}As$ 層24（x=0.53）の厚さを示すと、半絶縁性基板側およびショットキー電極側の順番で、特性線101では7.5nmおよび2.5nm、1

*合において、ゲート電圧 V_{gs} のしきい値電圧 V_{th} に対する差（ $V_{gs} - V_{th}$ ）に対するgmの増加率が低下し、且つ該FETのgmが最大値となる電圧 $V_{gs} - V_{th}$ が増大するために、gmが最大値となる電圧 $V_{gs} - V_{th}$ におけるドレイン電流が大きくなり、消費電力が増加するという問題があった。

【0004】本発明の目的は、上述のFETの伝達特性におけるトランスコンダクタンスgmの電圧 $V_{gs} - V_{th}$ に対する立上り方の急峻性を大きくし、且つ該FETのgmが最大値となる電圧 $V_{gs} - V_{th}$ の小さいFETを用いた半導体装置を提供することにある。

【0005】

【課題を解決するための手段】上記目的は、半絶縁性基板上に形成されたチャネル層となりノンドープである半導体層中に δ ドープ層を形成する際に、そのチャネル層となりノンドープである半導体層中の厚さ方向において、 δ ドープ層の濃度を半絶縁性基板とは反対側の半導体表面に向かって増大させるか、もしくは δ ドープ層間隔を半絶縁性基板とは反対側の半導体表面に向かって小さくすることによって、FETにおけるチャネル層を流れるキャリアの濃度分布の重心を、よりゲート電極側に存在するように形成することにより達成できる。上記キャリアの濃度分布の重心の位置については、次の項で説明する。

【0006】

【作用】本発明によれば、FETの伝達特性におけるgmの、電圧 $V_{gs} - V_{th}$ に対する立上り方の急峻性を大きくし、かつ該FETのgmが最大値となる電圧 $V_{gs} - V_{th}$ を小さくできる。その理由は、半導体表面からキャリア濃度分布の重心までの距離Dを次式で表わすと、

02では5nmおよび5nm、103では2.5nmおよび7.5nmである。 δ ドープ層25の濃度および $un-In_zAl_{1-z}As$ 層26の厚さは特性線101、102、103に対して同一条件とした。図5においては、gmが最大値となる電圧 $V_{gs} - V_{th}$ は、特性線101の方が特性線103に比べて約0.15V小さくなっている。この図5から明らかなように、 δ ドープ層を半絶縁性基板から遠ざけることで（特性線101）、gmの電圧 $V_{gs} - V_{th}$ に対する立上り方の急峻性を大きくする作用をし、かつgmが最大値となる電圧 $V_{gs} - V_{th}$ を小さくする作用をする。したがって、gmが最大値となる電圧 $V_{gs} - V_{th}$ におけるドレイン電流を小さくする作用をし、消費電力を小さくする作用をする。

【0008】次に図6を用いて、上式（1）における距離Dとgmの関係を示す。上式（1）におけるキャリア濃度n(x)は、流体モデル2次元デバイスシミュレー

ション (雑誌「アイ・イー・イー・イー・トランザクション・オブ・エレクトロン・デバイス (IEEE Trans. Electron Devices)」ED-36巻10号(1989)2307頁に記載)により計算した。 $n(x)$ の計算は、図8の破線A-Bにおいて行なった。 $D=0$ となる位置は、ショットキー電極8と $un-InzAl1-zAs$ 層26の界面である。距離 D は、電圧 $V_{gs}-V_{th}=0.4V$ 、ドレインソース間電圧 $V_{ds}=1V$ におけるシミュレーション結果から計算した。図6中の点101、102、103はそれぞれ図5中の特性線101、102、103に対応している。図6中の特性線111は、距離 D に対して、式 $gm=A+B/D$ (A および B は定数)を、定数 A および B を変化させて図6中の点101、102、103にフィッティングさせたものである。図6から、 gm は $1/D$ にほぼ比例することがわかる。したがって、 δ ドープ層の位置をゲート電極側に近づけて形成することは、距離 D を小さくし、 gm を増大させる作用をする。

【0009】チャネル層中に δ ドープ層が複数層存在する場合についても、図9もしくは図10の構造のFETを作製すれば、 gm の電圧 $V_{gs}-V_{th}$ に対する立上り方の急峻性を大きくし、且つ gm が最大値となる電圧 $V_{gs}-V_{th}$ を小さくすることができる。図9、10に示した構造のFETの作製方法については後で述べる。

【0010】

【実施例】(実施例1)本発明の実施例1のFETを用いた半導体装置を、図2ないし図4、および図1により説明する。

【0011】LEC (Liquid Encapsulated Czochralski) 法によって作製した半絶縁性GaAs基板1に、MBE法により、ノンドープGaAs層2 (厚さ300nm)、p型GaAs層3 (厚さ100nm; 不純物としてBeを $1 \times 10^{17} \text{ cm}^{-3}$ 含む)、ノンドープGaAs層4 (厚さ1.5nm)、 δ ドープ層5 (Si原子面濃度 $1.33 \times 10^{12} \text{ cm}^{-2}$)、ノンドープGaAs層4 (厚さ5.0nm)、 δ ドープ層5 (Si原子面濃度 $0.33 \times 10^{12} \text{ cm}^{-2}$)、ノンドープGaAs層4 (厚さ2.0nm)、 δ ドープ層5 (Si原子面濃度 $3.33 \times 10^{12} \text{ cm}^{-2}$)、ノンドープGaAs層4 (厚さ1.5nm)を順次成長させた(図2)。ここで、ノンドープGaAs層4および δ ドープ層5は、チャネル層となる。p型GaAs層3のp型不純物を補償するために、半絶縁性基板に最も近い δ ドープ層から面濃度 $1.0 \times 10^{12} \text{ cm}^{-2}$ 分のキャリアが消費される。また、表面単位補償に対して、半絶縁性基板から最も遠い δ ドープ層から面濃度約 $3.0 \times 10^{12} \text{ cm}^{-2}$ 分のキャリアが消費される。したがって、本実施例1において、3層存在する δ ドープ層すべてからそれぞれ面濃度 0.33×10

12 cm^{-2} 分のキャリアがほぼ等しく発生する。

【0012】次に、ウェットエッチング法によってFETの素子領域となる領域を囲んで、深さ200nmの溝を形成した後(図示せず)、ホトリソグラフィ技術を用いてゲート電極となるショットキー電極8を形成した。電極金属にはWSix (タングステンシリサイド)を用いた。その後、深さ60nmのオーミック電極層形成溝10をドライエッチング法により形成した(図3)。

【0013】次いで、MOVPE (Metal Organic Vapor Phase Epitaxy) 法によりn型GaAs層7 (60nm; 不純物としてSiを $5 \times 10^{18} \text{ cm}^{-3}$ 含む)を選択成長した(図4)。

【0014】次いで、ソース電極およびドレイン電極となるオーミック電極9を形成してFETを形成した(図1)。

【0015】本実施例1の半導体装置を用いることで、電圧 $V_{gs}-V_{th}$ に対する gm の立上り方の急峻性を大きくすることができ、且つ該 gm が最大値となる電圧 $V_{gs}-V_{th}$ を小さくすることができた。

【0016】本実施例1では、各 δ ドープ層からほぼ等しい濃度のキャリアが発生する構造となっているが、発生するキャリアの濃度を各 δ ドープ層において変えてもかまわない。ゲート電極となるショットキー電極8により近い位置にある δ ドープ層から発生するキャリアの濃度を高くすることで、電圧 $V_{gs}-V_{th}$ に対する gm の立上り方の急峻性を大きくする効果がある。

【0017】本実施例1において、チャネル層となるノンドープGaAs層4とゲート電極となるショットキー電極8との間にノンドープAlGa1-yAs層をヘテロバリア層として挿入した構造としてもよい。ヘテロバリア層を形成することにより、ゲート電極とチャネルとの間のリーク電流を抑制する効果があり、ゲート耐圧を向上させる効果がある。

【0018】図2に示した結晶構造におけるノンドープGaAs層2とp型GaAs層3との間に、ノンドープAlGa1-yAs層 (組成比 $y=0.2$ ないし 0.45 程度)を挿入した構造を持つ結晶を用いてFETを作製してもよい。この場合は、サイドゲート耐圧と低周波振動発振耐圧とドレインコンダクタンス g_d を改善する効果がある。また、p型GaAs層3をp型AlGa1-yAs層 (組成比 $y=0.2$ ないし 0.45 程度)に置き換えても同様の効果がある。

【0019】(実施例2)図7は、実施例2における半導体装置の断面図である。実施例2は、実施例1の工程手順と同様にして作成できる。実施例2では、半絶縁性GaAs基板1に、MBE法により、ノンドープGaAs層2 (厚さ300nm)、p型GaAs層3 (厚さ100nm; 不純物としてBeを $1 \times 10^{17} \text{ cm}^{-3}$ 含む)、ノンドープInxGa1-xAs層14 (厚さ7.5nm; 組成比 $x=0.2$)、 δ ドープ層15 (面

7

濃度 $5 \times 10^{12} \text{ cm}^{-2}$ ）、ノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 14（厚さ 2.5 nm；組成比 $x=0.2$ ）、ノンドープ $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層 16（厚さ 10 nm；組成比 $y=0.3$ ）を順次成長させた。ここで、ノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 14 および δ ドープ層 15 は、チャンネル層となる。

【0020】本実施例2の半導体装置を用いても、実施例1と同様に、電圧 $V_{gs}-V_{th}$ に対する g_m の立上り方の急峻性を大きくすることができ、且つ該 g_m が最大値となる電圧 $V_{gs}-V_{th}$ を小さくすることができた。

【0021】本実施例2は、チャンネル層となるノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 14 とゲート電極となるショットキー電極 8 との間にノンドープ $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層 16 をヘテロバリア層として挿入した構造となっている。ヘテロバリア層を形成することにより、ゲート電極とチャンネルとの間のリーク電流を抑制する効果があり、ゲート耐圧を向上させる効果がある。

【0022】また、本実施例2では、半絶縁性基板表面に電極 50 を設けて接地したが、これはバックゲート効果を改善する効果がある。

【0023】本実施例2においては、チャンネル層となるノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 14 の組成比 x を 0.2 としているが、組成比 x を 0.2 より大きな値としてもよい。その場合はキャリアの移動度が大きくなるので g_m を増大させる効果がある。

【0024】図7におけるノンドープ GaAs 層 2 と p 型 GaAs 層 3 との間に、ノンドープ $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層（組成比 $y=0.2$ ないし 0.45 程度）を挿入した構造を持つ結晶用いた FET、もしくは p 型 GaAs 層 3 を p 型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層（組成比 $y=0.2$ ないし 0.45 程度）に置き換えた構造を持つ結晶用いた FET にすると、サイドゲート耐圧と低周波振動発振耐圧とドレインコンダクタンス g_d を改善する効果があることは実施例1と同様である。

【0025】図7において、ゲート電極となるショットキー電極 8 の端部付近から n 型 GaAs 層 7 の端部付近に至るまでのノンドープ $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層 16 を除去し、その除去部分に n 型半導体層（例えば n 型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層）を形成してもよい。その場合は、寄生抵抗を小さくできるので、 g_m 値を向上させる効果がある。

【0026】（実施例3）図8は、実施例3における半導体装置の断面図である。実施例3は、実施例1の工程手順と同様にして作成できる。実施例3の実施例1と異なる点は、(1) 半絶縁性 InP 基板 21 に、MBE 法により、ノンドープ $\text{In}_z\text{Al}_{1-z}\text{As}$ 層 22（厚さ 300 nm；組成比 $z=0.52$ ）、p 型 $\text{In}_z\text{Al}_{1-z}\text{As}$ 層 23（厚さ 100 nm；組成比 $z=0.5$ 、不純物として Be を $1 \times 10^{17} \text{ cm}^{-3}$ 含む）、ノ

8

ンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 24（厚さ 7.5 nm；組成比 $x=0.53$ ）、 δ ドープ層 25（ Si 原子面濃度 $5 \times 10^{12} \text{ cm}^{-2}$ ）、ノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 24（厚さ 2.5 nm；組成比 $x=0.53$ ）、ノンドープ $\text{In}_z\text{Al}_{1-z}\text{As}$ 層 26（厚さ 10 nm；組成比 $z=0.52$ ）を順次成長させたことと、(2) MOVPE 法により n 型 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 27（60 nm；組成比 $x=0.53$ 、不純物として Si を $1 \times 10^{19} \text{ cm}^{-3}$ 含む）を選択成長したことの2点である。ここで、ノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 24 および δ ドープ層 25 は、チャンネル層となる。

【0027】本実施例3の半導体装置を用いても、実施例1および2と同様に、電圧 $V_{gs}-V_{th}$ に対する g_m の立上り方の急峻性を大きくすることができ、且つ該 g_m が最大値となる電圧 $V_{gs}-V_{th}$ を小さくすることができた。

【0028】実施例2と比べて実施例3では、チャンネル層となるノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 24 の In 組成比 x が、0.2 から 0.53 に大きくなり、チャンネル層における電子の移動度が増大するので、 g_m を改善する効果がある。

【0029】本実施例3においては、チャンネル層となるノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 24 の組成比 x を 0.53 としているが、組成比 x を 0.53 より大きな値としてもよい。その場合はキャリアの移動度が大きくなるので g_m をさらに増大させる効果がある。

【0030】また、本実施例3でも実施例2と同様に、バックゲート効果を改善するために、半絶縁性基板表面に電極 50 を設けて接地した。

【0031】実施例2においてノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 14 の伝導帯底部のエネルギー準位から見た p 型 GaAs 層 3 の伝導帯底部のエネルギー準位のエネルギー障壁の高さが約 0.1 eV であるのに対して、実施例3においてノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 24 の伝導帯底部のエネルギー準位に対する p 型 $\text{In}_z\text{Al}_{1-z}\text{As}$ 層 23 の伝導帯底部のエネルギー準位のエネルギー障壁の高さは約 0.4 eV と大きくなり、チャンネルから半絶縁性基板の方向に漏れて流れる電子電流を小さくできるので、ドレインコンダクタンス g_d を改善する効果がある。

【0032】（実施例4）図9は、実施例4における半導体装置の断面図である。実施例4は、実施例1の工程手順と同様にして作成できる。実施例4は実施例3と同じく InP 基板を用いているが、実施例3と結晶構造が異なる。実施例4の実施例3と異なる点は、p 型 $\text{In}_z\text{Al}_{1-z}\text{As}$ 層 23 の成長後に、ノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 24（厚さ 2.5 nm；組成比 $x=0.53$ ）、 δ ドープ層 25（ Si 原子面濃度 $1.2 \times 10^{12} \text{ cm}^{-2}$ ）、ノンドープ $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層 24（厚さ 5.0 nm；組成比 $x=0.53$ ）、 δ ドープ層

25 (S1原子面濃度 $3.8 \times 10^{12} \text{ cm}^{-2}$)、ノンドープInxGa1-xAs層24 (厚さ2.5 nm; 組成比 $x=0.53$)、ノンドープInzAl1-zAs層26 (厚さ10 nm; 組成比 $z=0.52$)を順次成長したことである。p型InzAl1-zAs層23のp型不純物を補償するために、半絶縁性基板に近い δ ドープ層から面濃度 $1.0 \times 10^{12} \text{ cm}^{-2}$ 分のキャリアが消費されるので、面濃度 $0.2 \times 10^{12} \text{ cm}^{-2}$ 分のキャリアが発生する。また、表面準位補償に対して、半絶縁性基板から遠い δ ドープ層から面濃度約 $3.0 \times 10^{12} \text{ cm}^{-2}$ 分のキャリアが消費されるので、面濃度 $0.8 \times 10^{12} \text{ cm}^{-2}$ 分のキャリアが発生する。

【0033】本実施例4の半導体装置を用いても、実施例1ないし3と同様に、電圧 $V_{gs}-V_{th}$ に対するgmの立上り方の急峻性を大きくすることができ、且つ該gmが最大値となる電圧 $V_{gs}-V_{th}$ を小さくすることができた。

【0034】本実施例4でも実施例2および3と同様に、バックゲート効果を改善するために、半絶縁性基板表面に電極50を設けて接地した。

【0035】実施例5

図10は、実施例5における半導体装置の断面図である。実施例5は、実施例1の工程手順と同様にして作成できる。実施例5は実施例3および4と同じくInP基板を用いているが、実施例3および4と結晶構造が異なる。実施例5の実施例3および4と異なる点は、p型InzAl1-zAs層23の成長後に、ノンドープInxGa1-xAs層24 (厚さ1.5 nm; 組成比 $x=0.53$)、 δ ドープ層25 (S1原子面濃度 $1.33 \times 10^{12} \text{ cm}^{-2}$)、ノンドープInxGa1-xAs層24 (厚さ5.0 nm; 組成比 $x=0.53$)、 δ ドープ層25 (S1原子面濃度 $0.33 \times 10^{12} \text{ cm}^{-2}$)、ノンドープInxGa1-xAs層24 (厚さ2.0 nm; 組成比 $x=0.53$)、25 (S1原子面濃度 $3.33 \times 10^{12} \text{ cm}^{-2}$)、ノンドープInxGa1-xAs層24 (厚さ1.5 nm; 組成比 $x=0.53$)、ノンドープInzAl1-zAs層26 (厚さ10 nm; 組成比 $y=0.52$)を順次成長したことである。p型InzAl1-zAs層23のp型不純物を補償するために、半絶縁性基板に最も近い δ ドープ層から面濃度 $1.0 \times 10^{12} \text{ cm}^{-2}$ 分のキャリアが消費される。また、表面準位補償に対して、半絶縁性基板から最も遠い δ ドープ層から面濃度約 $3.0 \times 10^{12} \text{ cm}^{-2}$ 分のキャリアが消費される。したがって、本実施例5において、3層存在する δ ドープ層すべてからそれぞれ面濃度 $0.33 \times 10^{12} \text{ cm}^{-2}$ 分のキャリアがほぼ等しく発生する。

【0036】本実施例5の半導体装置を用いても、実施例1ないし4と同様に、電圧 $V_{gs}-V_{th}$ に対するgmの立上り方の急峻性を大きくすることができ、且つ該

gmが最大値となる電圧 $V_{gs}-V_{th}$ を小さくすることができた。

【0037】本実施例5では、各 δ ドープ層からほぼ等しい濃度のキャリアが発生する構造となっているが、発生するキャリアの濃度を各 δ ドープ層において変えてもかまわない。ゲート電極となるショットキー電極8により近い位置にある δ ドープ層から発生するキャリアの濃度を高くすることで、電圧 $V_{gs}-V_{th}$ に対するgmの立上り方の急峻性を大きくする効果があるのは実施例1と同様である。

【0038】本実施例5でも半絶縁性基板表面に電極50を設けて接地したが、これがバックゲート効果を改善する効果を有することは、実施例1ないし4と同様である。

【0039】図8、9および10において、ゲート電極となるショットキー電極8の端部付近からn型InxGa1-xAs層27の端部付近に至るまでのノンドープInzAl1-zAs層26を除去し、その除去部分にn型半導体層 (例えばn型InzAl1-zAs層) を形成してもよい。その場合は、寄生抵抗を小さくできるので、gm値を向上させる効果がある。

【0040】実施例1ないし5では、電子をキャリアとして発生させるためにS1を δ ドープ層に用いているが、電子をキャリアとして発生させることができればどのような元素でもよい。

【0041】実施例1ないし5は、キャリアが電子である半導体装置を示しているが、キャリアが正孔である半導体装置についても実施例1ないし5の同様の構造を持つ結晶を用いたFETを作製することによって、電圧 $V_{gs}-V_{th}$ に対するgmの立上り方の急峻性を大きくすることができ、且つ該gmが最大値となる電圧 $V_{gs}-V_{th}$ を小さくすることができ、ただし、キャリアが実施例1ないし5とは反対導電型となるため、実施例1ないし5におけるn型半導体層をp型半導体層に、p型半導体層をn型半導体層に、電子をキャリアとして発生させる δ ドープ層を、正孔をキャリアとして発生させる δ ドープ層に変更する必要がある。正孔をキャリアとして発生させる元素としてBeがある。しかし、特にBeに限ることはなく、正孔をキャリアとして発生させることができればどのような元素でもよい。

【0042】

【発明の効果】本発明によれば、gmが最大値となる電圧 $V_{gs}-V_{th}$ におけるドレイン電流が小さくなり、消費電力を減少させることのできる半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の実施例1のFETを用いた半導体装置の断面図である。

【図2】本発明の実施例1のFETを用いた半導体装置の製造工程図1である。

11

【図3】本発明の実施例1のFETを用いた半導体装置の製造工程図2である。

【図4】本発明の実施例1のFETを用いた半導体装置の製造工程図3である。

【図5】電圧 $V_{gs}-V_{th}$ とトランスコンダクタンス g_m の関係図である。

【図6】半導体表面からキャリアの重心位置までの距離 D とトランスコンダクタンス g_m の関係図である。

【図7】本発明の実施例2のFETを用いた半導体装置の断面図である。

【図8】本発明の実施例3のFETを用いた半導体装置の断面図である。

【図9】本発明の実施例4のFETを用いた半導体装置の断面図である。

【図10】本発明の実施例5のFETを用いた半導体装置の断面図である。

【符号の説明】

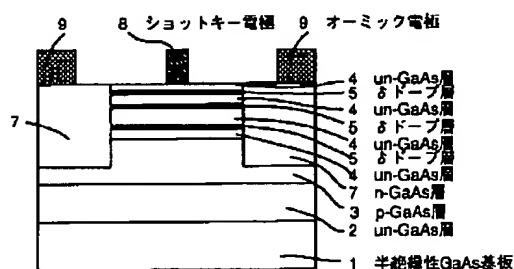
1……半絶縁性GaAs基板、2……ノンドープGaAs層、3……p型GaAs層、4……ノンドープGaAs層、5…… δ ドープ層、7……n型GaAs層、8……ショットキー電極、9……オーミック電極、14……ノンドープ $In_xGa_{1-x}As$ 層、15…… δ ドープ

12

層、16……ノンドープ $Al_yGa_{1-y}As$ 層、21……半絶縁性InP基板、22……ノンドープ $In_zAl_{1-z}As$ 層、23……p型 $In_zAl_{1-z}As$ 層、24……ノンドープ $In_xGa_{1-x}As$ 層、25…… δ ドープ層、26……ノンドープ $In_zAl_{1-z}As$ 層、27……n型 $In_xGa_{1-x}As$ 層、50……電極、101……図8で示した構造の半導体装置においてチャンネル層となる $un-In_xGa_{1-x}As$ 層24の厚さを半絶縁性基板側から7nmおよび2nmとした場合の電圧 $V_{gs}-V_{th}$ に対する g_m の特性線、102……図8で示した構造の半導体装置においてチャンネル層となる $un-In_xGa_{1-x}As$ 層24の厚さを半絶縁性基板側から4.5nmおよび4.5nmとした場合の電圧 $V_{gs}-V_{th}$ に対する g_m の特性線、103……図8で示した構造の半導体装置においてチャンネル層となる $un-In_xGa_{1-x}As$ 層24の厚さを半絶縁性基板側から2nmおよび7nmとした場合の電圧 $V_{gs}-V_{th}$ に対する g_m の特性線、111……距離 D に対して式 $g_m=A+B/D$ を、定数 A および B を変化させて図6中の点101、102、103にフィッティングさせた特性線。

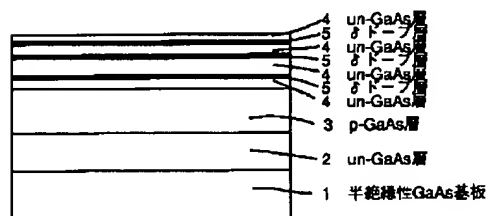
【図1】

(図1)



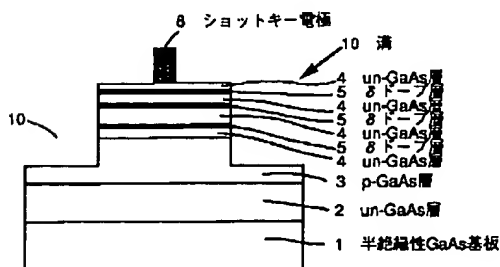
【図2】

(図2)



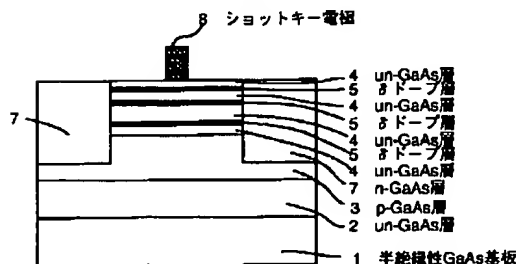
【図3】

(図3)

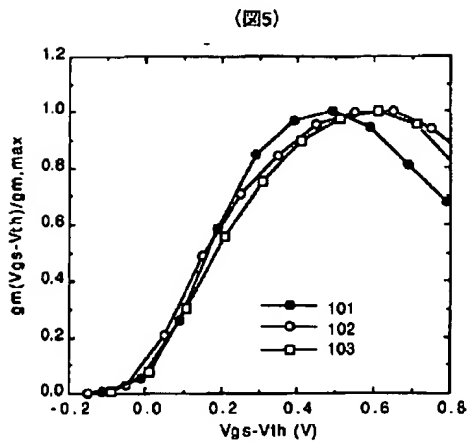


【図4】

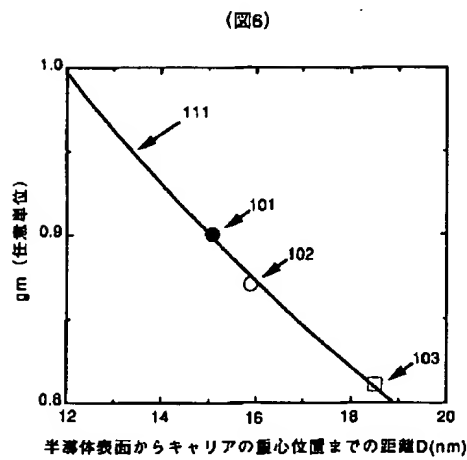
(図4)



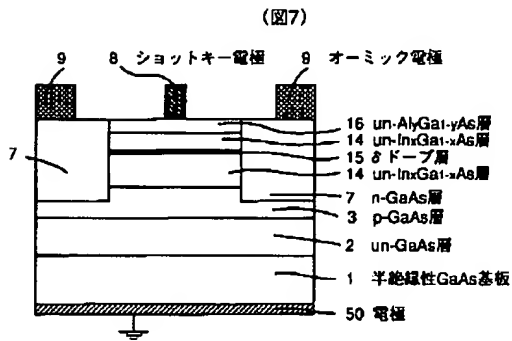
【図5】



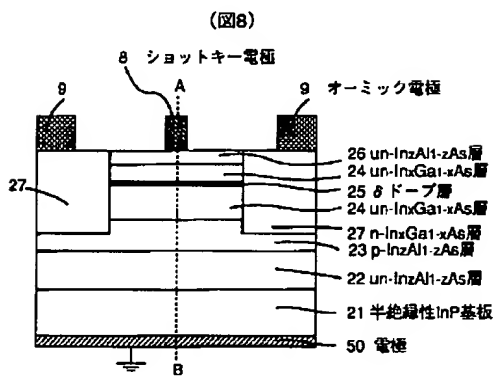
【図6】



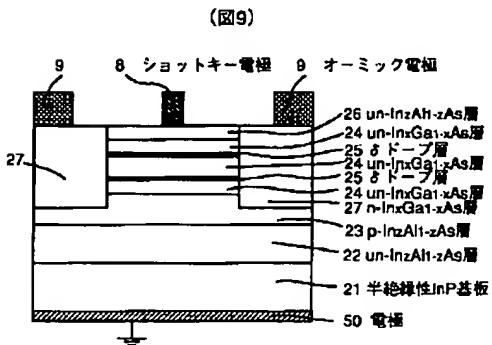
【図7】



【図8】



【図9】



【図10】

